

1/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02450063 **Image available**

GROOVE-BURIED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 63-066963 [JP 63066963 A]

PUBLISHED: March 25, 1988 (19880325)

INVENTOR(s): MINEGISHI KAZUSHIGE

MORIE TAKASHI

MIURA KENJI

NAKAJIMA SAN

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 61-211009 [JP 66211009]

FILED: September 08, 1986 (19860908)

INTL CLASS: [4] H01L-027/10; H01L-021/76; H01L-027/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JOURNAL: Section: B, Section No. 644, Vol. 12, No. 291, Pg. 57, August 09, 1988 (19880809)

ABSTRACT

PURPOSE: To suppress an area loss due to a mask aligning margin in a cell to the minimum limit, to effectively prevent an electric interference between cells and to be able to achieve 1-2 μm^2 of cell area by forming a capacitor on the lower part of the side of an insular silicon divided by latticelike grooves, and forming MIS FET on the top of the side.

CONSTITUTION: A second conductivity type first semiconductor layer 2 and a first conductivity type second semiconductor layer 3 are laminated on a first conductivity type semiconductor substrate 1, and the layers 2, 3 are insularly separated by latticelike grooves of the depth which arrives at a substrate 1. First insulating films 9 are formed on the side of the layer 2 and in the bottom of the groove, a first conductor 10 is buried in the bottom of the groove through the film 9 on the side of the layer 2, and a capacitor 41 is formed by the layer 2, the film 9 and the conductor 10. A second conductivity type diffused layer 16 is formed on the upper surface of the layer 3, a second insulating film 12 is formed on the side of the layer 3, a second conductor 13 is formed in the groove on the film 12 by insulating it from the conductor 10, and an FET 42 is formed of the layers 2, 3, the layer 16, the film 12 and the conductor 13.

?

④ 日本国特許庁 (J P)

④ 特許出願公開

④ 公開特許公報 (A) 昭63-66963

Int. Cl.⁸ 識別記号 庁内整理番号 出願 昭和63年(1988)7月23日
H 01 L 27 10 3 2 5 F-8624-5F
21 7C D-7131-5F
27 04 C-7514-5F 審査請求 未請求 発明の読 2 (全 1頁)

発明の名称 高圧応答型半導体装置およびその製造方法

特 願 昭61-211009

出 願 昭61(1986)9月8日

発 明 者 荻 岸 一 彦 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
発 明 者 森 江 隆 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
発 明 者 三 浦 賢 次 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
発 明 者 中 島 善 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
代 理 人 弁護士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

高圧応答型半導体装置およびその製造方法

2. 特許請求の範囲

(1) 第1の導電型を有する半導体単結晶基板上に第2の導電型を有する第1の半導体単結晶層と第1の導電型を有する第2の半導体単結晶層が積層され、該第1と第2の半導体単結晶層が該半導体単結晶基板に連する接点の格子状の溝によって互いに分離されており、該第1の半導体単結晶層の表面と該溝の底面に第1の絶縁膜が形成され、該第1の半導体単結晶層の表面に該第1の絶縁膜をたどって第1の導電体が該溝の底面に覆り込まれ、該第1の半導体単結晶層と該第1の絶縁膜と該第1の導電体とによりトランジスタが形成され、該第2の半導体単結晶層の該第1の半導体単結晶層とは反対側の面に第2の導電型を有する二酸化層が形成され、該第2の半導体単結晶層の側面に第2の絶縁膜と当該第2の絶縁膜上の該溝の内部に第2の導電体が該第1の導電体と絶縁されて形成

され、該第1の半導体単結晶層と該第2の半導体単結晶層と該二酸化層と該第2の絶縁膜と該第2の導電体とにより電界効果トランジスタが形成された構造を有することを特徴とする高圧応答型半導体装置。

(2) 第1の導電型を有する半導体単結晶基板上に該第1の導電型とは異なる第2の導電型を有する第1の半導体単結晶層を形成しさらに第1の導電型を有する第2の半導体単結晶層を積層する工程と、該第1と第2の半導体単結晶層を該半導体単結晶基板に連する接点を有しかつ一方向の溝域が他方向の溝域よりも狭い格子状の溝によって互いに分離する工程と、該第1の半導体単結晶層の側面と該溝の底面に第1の絶縁膜を形成する工程と、該第1の半導体単結晶層の側面に該第1の絶縁膜をたどって第1の導電体を該溝の底面に覆り込む工程と、該第2の半導体単結晶層の該第1の半導体単結晶層とは反対側の面に第2の導電型を有する二酸化層を形成する工程と、該第2の半導体単結晶層の側面に第2の絶縁膜を形成する工程と、

は第2の絶縁膜上の図10の内部に第2の導電体を図10の狭い方の側内部でつなげて接続しかつ図10の広い方の側内部でつなげないで隔てて絶縁し更に図10の導電体と接続して形成する工程とを具備したことを要旨とする導電体形成方法の製造方法。

【発明の詳細な説明】

【従来の技術】

本発明は、ダイナミック・ランダム・アクセス・メモリにおける記憶セルメモリ構造よりなる導電体形成方法およびその製造方法に関するものである。

【従来の技術】

1層のトランジスタと1層のキャパシタから成るダイナミック・ランダム・アクセス・メモリ（以下DRAMと略記する）の高密度化を達成するために種々のメモリセル構造が提案されている。その一つにシリコン基板表面に形成した膜の中にキャパシタとトランジスタの一部を組み込む方法（W. F. Richardson 他による IEDM Tech. Dig.

11（頁）（1983年））が提案されている。この方法を以下図面を用いて説明する。図11(a)、(b)はそれぞれ図11(a)によるDRAMセルの平面図および図11(b)のO-1断面図である。図11(a)の下部に導電体薄膜よりなるキャパシタ用電極層を介してキャパシタ電極層が重ねられている。キャパシタの他方の電極は多結晶シリコン薄膜を用いている。図11(a)の上部電極にはトランジスタのゲート電極層が形成され、キャパシタとトランジスタの地床に導電体薄膜から成るドレイン電極の形成層が、図11(a)の上部コーナ部で不純物拡散層から成るソース電極の形成層が（ピット部として動く）が形成されている。さらに、ゲート電極層（ワード線として動く）により図11(a)が閉め込まれている。セル間（ピット間）は選択酸化法により形成されたシリコン酸化膜により分離されている。

上記従来の利点は、(a)図の側面キャパシタとトランジスタを形成しているため、セル面積の縮小が容易に実現できると、制御電極を穴内部

にため込むので、ゲートによるセル間のソフトエラーに耐性が増加することである。

【発明の目的とする問題点】

しかし、100メガビット/セル（セル面積 $1\mu^2$ ）を実現するには以下のような問題がある。(a)セル間の分離を選択酸化法によりシリコン基板の表面上に形成しているため、分離領域を0.3 μ 以下にすることは極めて困難である。図11(b)に示す図11(a)と穴の合わせを容易に（図11(b)に示す図11(a)の形成に必要な電極層）が必要であるためセル面積の縮小に限界がある。さらに、(b)セル間（穴間）を遮断させた場合、隣接するセルの不純物拡散層間でゲートスルーが生じ、セル間の電気的干渉が生じるという欠点がある。

本発明の目的は、セル間におけるマスク合わせのずれによる面積ロスとゲートスルーを、かつセル間の電気的干渉を確実に防止し、かつセル面積 $1\sim 2\mu^2$ を実現可能な高密度メモリセルの形成方法と導電体形成方法の製造方法とを、そのメモリセルを従来のメモリセルの構造と異なるリソグラ

フィー用マスクの層数よりも少ない層数で製造する製造方法を提供することにある。

【問題点を解決するための手段および作用】

本発明は、1方向の導電体他方向の導電体より成る格子状の導電体で分離された島状のシリコンの表面下部にキャパシタが形成され、表面上部にMIS形電界効果トランジスタ（以下MIS形FETと略記する）が形成され、導電体の狭い側で隔てられた導電体の上部にトランジスタのゲートが互いに接続されてワード線を形成し、導電体の広い側で隔てられた導電体の上部にトランジスタの基板電極に形成された電極層が導電体の広い側の上を覆う電極層により接続されてピット部を形成していることを最も重要な特徴とする。

従来の技術と、キャパシタおよびMIS形FETが形成されている導電体が格子状の導電体より分離された島状のシリコンの表面であること、セル間の分離は導電体により行われていること、セル間の形成に必要なリソグラフィ用マスク層数、従来の3層以上必要であったのに対し本発明は2層および

トゲ形成用の2層のみでよいことが異なる。

【実施例】

以下の実施例では、MIS形FETとして、チャネル形を基本に説明するが、導電形をすべて逆れたドナチャネル形にすることができる。

実施例1

第1図(a)、(b)および(c)は本発明の第1の実施例を説明する図である。第1図(a)は本発明の第1の実施例による半導体装置の平面図、第1図(b)はワード線までを形成した半導体装置の鳥瞰図、第1図(c)はドット部までを形成した半導体装置の鳥瞰図である。本実施例では、第1図(a)に示すように、 ρ 形シリコン基板1上に形成された、 ρ 形シリコン薄膜2および ρ 形シリコン薄膜3の層状構造を有して格子状の溝が形成されており、図面に分割された島状の上記基層の、 ρ 形シリコン薄膜2の側面には κ ・ペリナイト1が形成されており、 ρ 形シリコン薄膜3の側面にはMIS形FET4が形成されている。さらに、該溝の一方の側面は他方の側面より狭く形成されており、狭い側面の側で

分割された溝壁のMIS形FET4のゲートは互いに接続されていてワード線5を形成している。第1図(b)に示すようにMIS形FET4の基極金属層に形成された拡散層6(ソース領域)は、溝壁の広い側の上を横切るドット部7により形成されている。

次に、第1図(a)および(c)に示す本発明の半導体装置の製造方法について第2図および第1図を用いて説明する。第2図に示すように、 ρ 形シリコン基板1上に公知の化学的気相成長法(以下CVD法と略記する)により、 ρ 形シリコン薄膜2をエピタキシャル成長させる。 ρ 形シリコン薄膜2中の不純物濃度は、例えば $5 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、膜厚は例えば $4 \sim 10 \text{ nm}$ とする。続いて、 ρ 形シリコン薄膜3をエピタキシャル成長させる。 ρ 形シリコン薄膜3中の不純物濃度は例えば、 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 、膜厚は $1 \sim 3 \text{ nm}$ とする。上記 ρ 形シリコン薄膜中の不純物としては例えば、ヒ素、アンチモンあるいはリンを用いる。 ρ 形シリコン薄膜の不純物としては例えばホウ素を用いる。

上記の例では、 ρ 形シリコン薄膜2と ρ 形シリコン薄膜3を形成するのにCVD法を用いて単結晶薄膜をエピタキシャル成長させたが、これらの薄膜の厚さが異なってもよい場合には、イオン注入法を用いて形成することができる。例えば、 ρ 形シリコン薄膜2にリンを1 MeVのイオンエネルギーでシリコン基板に注入すると平均のリンの注入深さは 1.1 nm 程度なので、これを1000℃で1時間熱処理することによって、 1.1 nm の深さよりも若干広がった ρ 形シリコン薄膜を ρ 形シリコン薄膜2として得ることができる。また、 ρ 形シリコン薄膜3は、ホウ素を30 keVのイオンエネルギーで注入すると平均のホウ素の注入深さは 0.16 nm 程度となるので、1000℃で10分熱処理することにより 0.16 nm の深さよりも若干広がった ρ 形シリコン薄膜を ρ 形シリコン領域の上層に ρ 形シリコン薄膜3として得ることができる。イオンの注入量については、任意な調整を行なうことにより所定の値の不純物濃度となるように定めることができる。

次に、第3図に示すように、 ρ 形シリコン薄膜3の表面を酸化して、シリコン酸化膜4を形成したのち、公知のCVD法によりシリコン酸化膜5およびシリコン酸化膜6を堆積する。シリコン酸化膜4、シリコン酸化膜5およびシリコン酸化膜6の厚さは例えば、 $2.0 \sim 3.0 \text{ nm}$ 、 $100 \sim 200 \text{ nm}$ 、 $0.5 \sim 2 \text{ nm}$ とする。CVD法により堆積したシリコン酸化膜5は、以下の製造工程で示すように、シリコン酸化膜5をエッチング加工するときのマスクとして使用するものであり、例えば、リンガラス(PSG)に代えてもよい。

第4図(a)および(b)に示すように、公知のホトリソグラフィあるいは電子線あるいはX線リソグラフィにより格子状の溝をパターンニングしたレジストパターンをマスクに、シリコン酸化膜6、シリコン酸化膜5およびシリコン酸化膜4の堆積膜をエッチングしてレジストパターン7のゲートを形成する。

ここで図番号の添字(a)および(b)は第1図(a)に示す、それぞれ1-2層および2-2層でシリコ

ン面を切断したときの断面に、ある、以下各図に示して所成とする。上記パターンニングにおいて位置すべきことは、I-I'断面に示してレジストの除去された幅 W_1 は、II-II'断面に示ける W_2 よりも広いことである。例えば、 W_1 、 W_2 をそれぞれ0.8 μ m、0.4 μ mとする。また、除去されたレジストパターンは例えば一辺0.5 μ mの正方ととする。なお上記寸法は、単なる例であり、 W_1 、 W_2 より大きい値を採用しさえすれば任意である。上記接着膜のエッチングには、例えば反応性イオンエッチング（以下RIEと略記する）装置を用いてレジストパターンを忠実に転写する。RIEにおいては、例えば、 CF_4 と水素の混合ガスを用いてエッチングを行うと、上記接着膜の剥離をほとんど回避可能パターンニングできる。

次に、レジストパターンを除去したのち、CVD法により形成したシリコン酸化膜をマスクにRIE法によりp形シリコン薄膜 3 、n形シリコン薄膜 4 およびシリコン基底 1 の一部をエッチングして格子状の膜を形成する（第3図(a)および(b)）。

たは熱酸化によるシリコン酸化膜あるいは、五酸化タンタルを用いる。以下では、シリコン酸化膜を用いた場合を説明する。シリコン酸化膜のキャパシタ用絶縁膜 2 を形成後、キャパシタの一方の電極となる導電体 10 を形成し、膜を埋め込む。導電体 10 として、例えば、リンをドーピングした多結晶シリコンを用いる。絶縁膜厚は $W_1/2$ より大きくし、 W_1 の膜を埋め込む。リンのドーピング法としては、多結晶シリコンを加熱するとき同時にホスフィンを含む方法あるいは、リンを添加した多結晶シリコンを加熱した後、リンをイオン注入して拡散させる方法。または、 $POCl_3$ を用いてリンを拡散させる方法がある。膜が厚く、かつ開口部が狭い場合には、多結晶シリコンの表面からリンを拡散させる方法では拡散部まで拡散が十分に行えない。そのため、膜内並に薄く多結晶シリコン膜を堆積したのちリンを拡散させ、再度多結晶シリコン膜の堆積およびリン拡散を繰り返す方法を用いてもよい。

次に、第4図(a)および(b)に示すように多結晶シ

上記p形およびn形シリコン薄膜 3 、 4 の膜厚を例えばそれぞれ2 μ m、3 μ mとすると、p形シリコン薄膜の上面より離れた膜厚さは、例えば7 \sim 8 μ mとする。上記RIEにおいては、例えば $SiCl_4$ 、 BF_3 、 CF_4 等のヘロゲン元素を含むガスを用いる。エッチング速度の向上、エッチングマスク材料とシリコンとのエッチングの選択性を向上させるために、上記ガスを混合して用いてもよい。また、上記ガスにアルゴンガス、酸素を混合してエッチングしてもよい。上記RIEによるシリコンのエッチングのうち、両膜部にホウ素をイオン注入して、濃度 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ のp形高濃度領域 5 を形成する。このp形高濃度領域 5 は、熱拡散処理の形成によるセル間のリークを防ぐためのものである。

次に、CVD法によるシリコン酸化膜 6 をフッ素を含む混合気により除去したのち、第5図(a)および(b)に示すようにキャパシタ用絶縁膜 2 を形成する。キャパシタ用絶縁膜 2 として、例えば、溝内面を酸化したシリコン酸化膜あるいは、CVD法で

シリコン膜の導電体 10 をエッチバックして溝内にのみ残す。溝内に残存する多結晶シリコン膜の導電体 10 の膜厚位置は、p形シリコン薄膜 3 とn形シリコン薄膜 4 の境界と同レベル、あるいは、p形シリコン薄膜 3 側とする。これは、以下の工程でキャパシタの上面に形成されるPEIのゲートがオフセットになることを避けるためである。上記エッチバックは、シリコン薄膜のエッチングで述べた方法により、エッチング用マスクを用いずに行う。

続いて、第6図(a)および(b)に示すように溝内に堆積した多結晶シリコン膜の導電体 10 の上面に絶縁膜 11 を形成し、p形シリコン薄膜の側面にゲート絶縁膜 12 を形成し、ゲート電極 13 を形成する。絶縁膜 11 としては、例えば多結晶シリコン膜の導電体 10 の表面を酸化して形成したシリコン酸化膜を用いる。それを形成するには以下の方法を用いる。まず、第7図の構造を得たのち、溝内をCVD法により厚さ50 \sim 100 μ mのシリコン酸化膜を堆積したのち、RIE法により溝内

膜を形成する金属として例えばモリブデン膜17をスパッタ法により膜厚20～200nmを堆積したのち、アモルファスシリコン膜18をスパッタ法により膜厚50～200nmを堆積する。なお、上記両膜の堆積順序を逆にして、アモルファスシリコン膜を堆積したのちモリブデン膜を後で堆積してもよい。以下では、モリブデン膜を先に堆積する場合を説明する。

続いて、公知のリソグラフィ工程によりパターン化されたレジストをマスクにアモルファスシリコン膜18をエッチングしたのち、上記レジストを除去し、不活性ガス雰囲気中、400～600℃で熱処理を行い、モリブデンとシリコンを反応させて、モリブデンシリサイド膜19を形成する。続いて、シリサイド反応で発生しなかったモリブデンをリン酸と硝酸を含む混合液により除去し、第12図(a)および(b)の断面形状を得る。上記リソグラフィ工程における露とシリサイド層との厚割合を調整すれば膜厚より小さいことが必要であるが、本実施例では0.4μmとして上記公知のリソ

グラフィ工程で製造できると仮定する。以上により、多結晶シリコン13によるワード線とシリサイド膜19によるビット線が形成され、DRAMのメモリエループが完成する。本実施例ではビット線のシリサイドを形成するのちモリブデンを用いたが、モリブデンに代えて、タングステン、タンタム等の元素周期表第6族の金属を用いてもよい。また、ビット線は、通常のリソグラフィ工程によって形成するので、アルミニウムやシリコン入りアルミニウムあるいはモリブデン、タンタムなどの金属を使用することが可能である。なお、以上の工程で用いるリソグラフィ用マスクは、露光およびビット線形成の際のレジストである。

実施例2

実施例1においてワード線には多結晶シリコンを用いたが、ワード線にシリサイドを用いる場合の製造方法について説明する。

実施例1に説明した製造方法により第8図(a)お

よび(b)の断面形状を得たとする。実施例1で説明した方法により多結晶シリコン膜13をエッチングし、露地の広い部においては露地のみに多結晶シリコン膜13を堆積し、露地の狭い部においては、多結晶シリコン膜13により膜を覆い込み、その表面がシリコン基板の上面とほぼ一致するようにする。続いて、第13図(a)および(b)に示すようにシリサイドを形成する金属として例えばモリブデン膜20を膜厚20～100nmを堆積する。

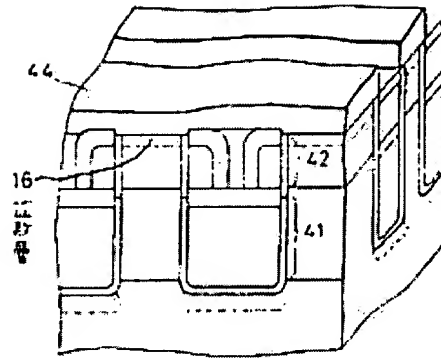
次に、不活性ガス雰囲気中、400～600℃で熱処理を行いモリブデンと多結晶シリコンを反応させてモリブデンシリサイド膜21を形成させたのち、シリサイド反応で発生しなかったモリブデンをリン酸と硝酸を含む混合液により除去し、さらに、シリコン強化膜22を除去し、第14図(a)および(b)の構造を得る。次に、CVD法によりシリコン強化膜を膜の両面に堆積したのち、ニッチパッチして表面を平滑化する。

以後の工程は、実施例1の第11図(a)および(b)

実施例3

実施例1、2においては、溝表面を平滑化とするMIS形FETのゲートを形成して、調整するゲート間の距離をシリコン酸化膜で埋込んだのち、シリコン基板2の上側に拡散層を形成していたが、実施例3では拡散層を上記ゲート電極形成前に形成する方法について述べる。

第3図に示す構造を得る工程において、シリコン酸化膜4を形成したのち、 ϕ 形不純物をイオン注入する。イオン注入は、例えばヒ素を用いて、加速電圧50～100keV、ドーズ量 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ で行う。続いて、シリコン酸化膜5、シリコン強化膜6を堆積して、第15図に示す構造を得る。第15図において、16は ϕ 形拡散層である。この層に電気的に活性化するため900～1000℃で熱処理される。以後の工程は実施例1に示した通りである。このように本発明の半導体装置の製造法においては、 ϕ 形拡散層16をゲート電極形成前に形成することが可能である。この



(c)

図 1

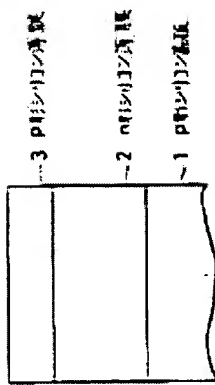


図 2

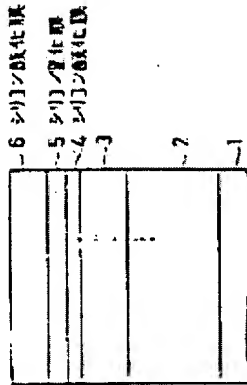
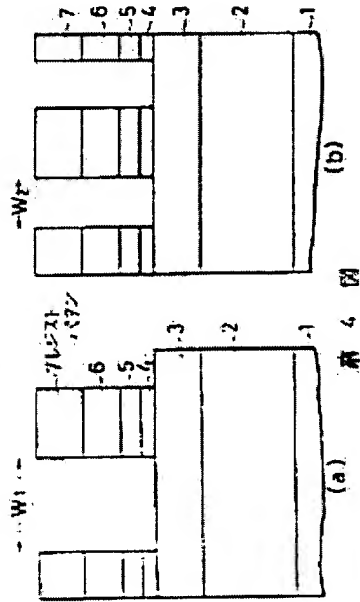


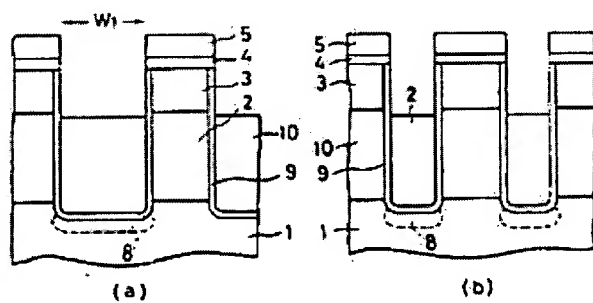
図 3



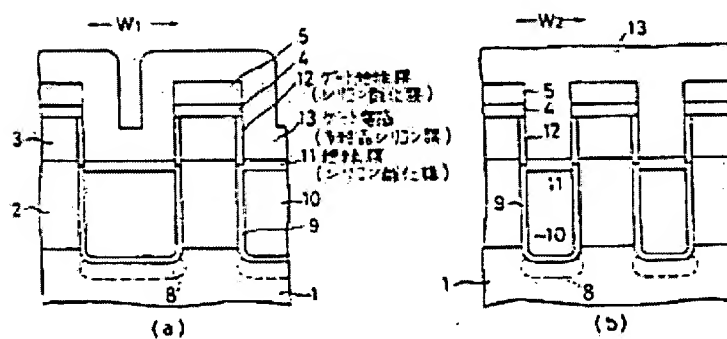
(b)

(a)

図 4



第 7 题



8

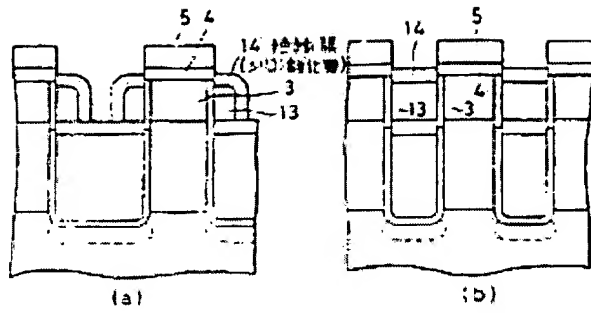


図 9

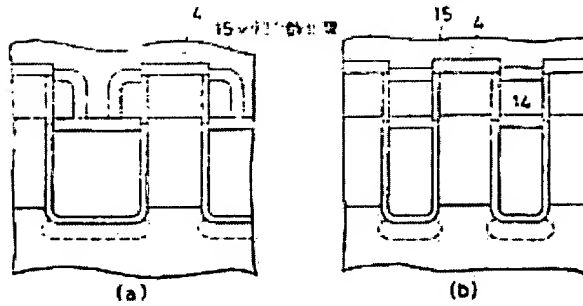


図 10

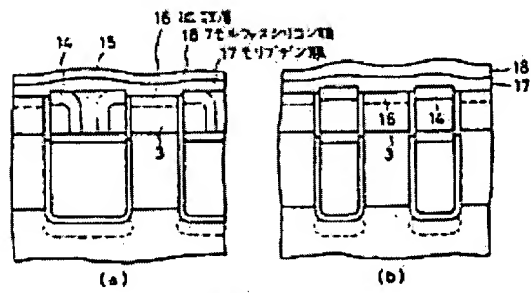


図 11

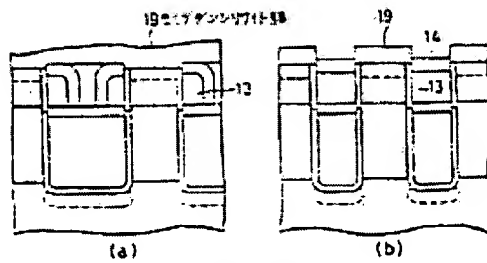
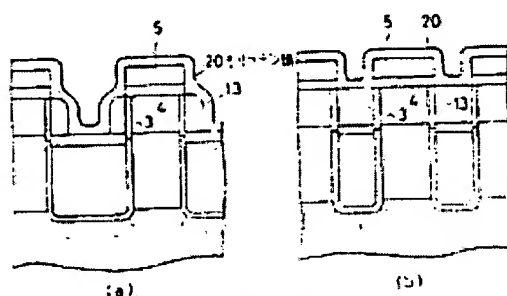
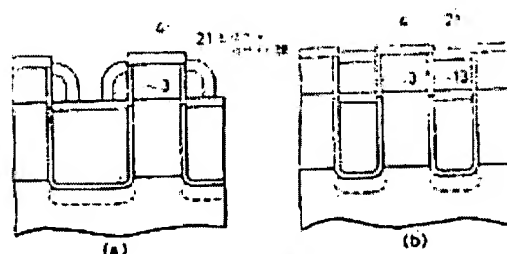


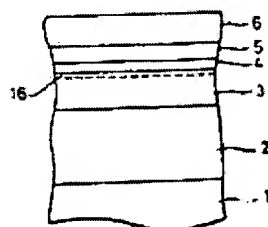
図 12



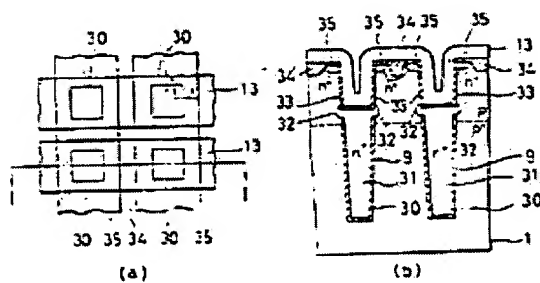
第 13 図



第 14 図



第 15 図



第 16 図